

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01082629
PUBLICATION DATE : 28-03-89

APPLICATION DATE : 25-09-87
APPLICATION NUMBER : 62241120

APPLICANT : SEIKO EPSON CORP;

INVENTOR : SUGIMOTO NAOAKI;

INT.CL. : H01L 21/30 G03C 5/00 G03F 7/00

TITLE : FORMATION OF RESIST PATTERN

ABSTRACT : PURPOSE: To enable the quick forming of a resist pattern good in its etching- resisting performance without causing deterioration in dimensional precision, by dividing a post-baking process into at least three temperature stages.

CONSTITUTION: After a substrate is coated with a posi-type resist, it is provided with pre-baking, exposure, and developing processes to form a resist pattern with a drawn part of about 1 μ m in width. After the resist pattern is provided with a low-temperature baking process of about 110°C, a baking process of about 140°C is performed and a high-temperature baking process is followed at about 160°C. Since the temperature so up to a limit that the resist causes sagging can be realized by raising the baking temperature step by step in this way, the amount of baking per unit time increases. A short-time post-baking process can be hence realized to improve throughput.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A)

昭64-82629

⑬ Int.Cl.⁴H 01 L 21/30
G 03 C 5/00
G 03 F 7/00

識別記号

3 6 1
3 3 1

庁内整理番号

Q-7376-5F
7267-2H
E-6906-2H

⑭ 公開 昭和64年(1989)3月28日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 レジストパターンの形成方法

⑯ 特 願 昭62-241120

⑰ 出 願 昭62(1987)9月25日

⑱ 発 明 者 杉 本 直 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

レジストパターンの形成方法

2. 特許請求の範囲

基板上にレジスト膜を塗布し、露光、現像処理を施し、更にポストベークを行なう。レジストパターンの形成方法において、前記ポストベークの温度を少なくとも3段階に分けて行なうことを特徴とするレジストパターンの形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、レジストパターンの形成方法に関し特にポストベーク工程を改良したレジストパターンの形成方法に係わる。

(発明の概要)

本発明は、基板上に、レジスト膜を塗布し、露光、現像処理を施し、更にポストベークを行な

てレジストパターンを形成するにあたり、前記ポストベークの温度を少なくとも3段階に分けて、行なうことにより、寸法精度の低下を招くことなく、短時間に耐エッチング性の優れたレジストパターンを形成し、ひいては微細かつ高精度の半導体装置の製造等に好適なマスクとして利用し得るレジストパターンを提供できる。

(従来の技術)

従来より、半導体基板等の基板上に所望形状のレジストパターンを形成するには、該基板上にレジスト膜を塗布し、露光、現像処理を施した後、基板とレジストとの密着性の向上及び、エッチングに対するレジストの耐性を向上する目的で熱板や対流型オーブンをを用いて一定温度、一定時間ポストベークする方法が採用されている。

さらに、特公昭61-271834のごとく、前述のポストベークを低温と高温の2段階に分ける方法も試みられているこの方法により、ポストベーク前後における、レジストパターンの寸法変化を小さくするという改良がなされていた。

(発明が解決しようとする問題点)

しかし、前述の特公昭61-271834のような方法でも、密着性及びエッチングに対する耐性を向上させるには、2段階目の高温ベークを可能な限り高温、長時間行なう必要があった。ベーク温度を2段階にしても、あまり高温、長時間のポストベークを行なうと、レジストが熱分解したり、ダレを生じたりして寸法精度の高いレジストパターンの形成が困難となる。従って、通常はレジストにダレの生じる温度より少し低い温度で、ポストベークを行っている。その結果、レジストパターンの耐エッチング性を十分に向上することができなかった。

そこで本発明は、このような問題点を解決するもので、その目的とするところは、寸法精度の低下を招くことなく、耐エッチング性の優れたレジストパターンを短時間に形成し得る方法を提供しようとするものである。

(問題点を解決するための手段)

本発明によるレジストパターンの形成方法は、

基板上にレジスト膜を塗布し、露光、現像処理を施し、更に、ポストベークを行なう、レジストパターンの形成にあたり、前記ポストベークの温度を少なくとも3段階に分けて行なうことを特徴とする。

(実施例)

以下、本発明の実施例を詳細に説明する。

まず、基板上にボシ型レジスト(東京応化社製商品名; TSMR-8800)を塗布した後、プリベーク、露光、現像処理を施して、1 μ mの抜き部を有するレジストパターンを形成した。

次いで、前記レジストパターンを、110°Cで2分間の、低温ベークを施した後、(T+110)12°C(110 \leq T \leq 170)で2分間のベーク、さらにT°Cで2分間の高温ベークを施した。

しかして、前記3段階ベーク後のレジストパターンについて、現象直後のレジストパターンの抜き部に対する寸法変化量を調べたところ、第1図に示す特性図を得た。なお、図中のAは、本実施例

の、特性線である。図中のBは、前記レジストパターンを、まず110°Cで2分間の低温ベークを施した後、110~170°Cの温度範囲で4分間の高温ベークを行った従来例における特性線である。この図より明かなように、ベーク温度が2段階のポストベークを行った実施例では、ベーク温度が高くなるに伴って急激に寸法変化量が増大する。これに対し、本実施例では、従来例のような、急激な寸法変化がなく、その変化量も少ない。この、本実施例と従来例の差は、レジストの耐熱性により異なり、耐熱性の高いレジストは、ベーク温度を3段階以上にしても、この、差は大きくならないものの、耐熱性の低いレジストは、ベーク温度の段階を増すほど、この差が大きくなることもわかっている。このように、耐熱性の低いレジストを段階的に、高温ベークできるのは、1段階目の低温ベークにより、レジストパターンの表面に、保護膜が形成されるために、レジストパターンの寸法変化量が大きくなることなく、段階的にベーク温度を高くできるものと考えられる。

(発明の効果)

以上詳述した如く、本発明によれば、レジストのダレ等を抑制した状態で耐エッチング性を向上でき、更に寸法制御が容易となる。また、段階的にベーク温度を上げることにより、レジストのダレが生じる限界まで温度を上げることが可能となることから、単位時間当たりのベーク量が大きくなり、従って短時間のポストベークが可能となり、スループットを向上できる。このようなことから本発明は、微細かつ、高精度の半導体装置の製造等に好適なマスクとして利用し得るレジストパターンの形成方法を提供できる。

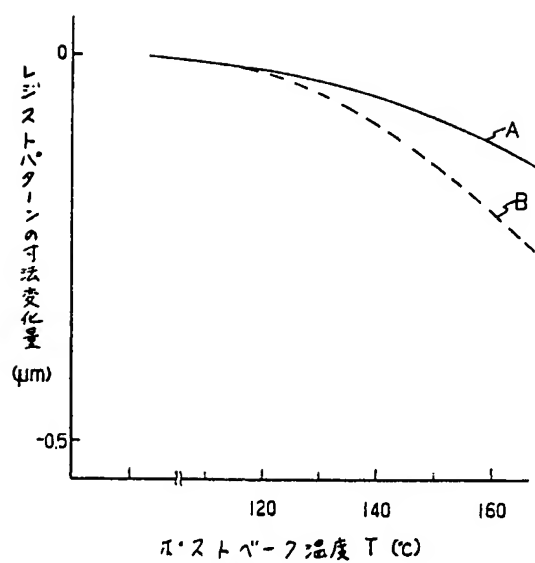
4. 図面の簡単な説明

第1図は、本実施例及び従来例のポストベーク時におけるレジストパターンの寸法変化量を示す特性図である。

A…本実施例を示す

B…従来例を示す

以上



第1図